

Date of Mailing: November 25, 2003

NOTICE OF REJECTION

Application No: 2000-79344

Date of Notice: November 18, 2003

GROUND OF REJECTION

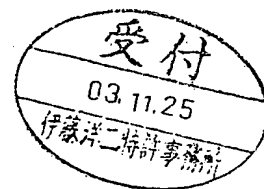
- (1) This application shall be rejected based on Japanese Patent Law, Article 29, first paragraph.
- (2) This application shall be rejected based on Japanese Patent Law, Article 29, second paragraph.

NOTE:

JP-A-58-164258 (Document 1) teaches a formation of an area (well layer) separated in a shallow trench. The concentration of impurity in each epitaxial layer is a matter of design choice.

It is obvious to apply the process of stacking semiconductor layers of Document 1 to JP-A-03-82138 (Document 2).

拒絶理由通知書



特許出願の番号 特願2000-079344
起案日 平成15年11月18日
特許庁審査官 岡 和久 7514 4M00
特許出願人代理人 伊藤 洋二(外 2名) 様
適用条文 第29条第1項、第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

(1) この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明であるから、特許法第29条第1項第3号に該当し、特許を受けることができない。

(2) この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

- ・請求項 1、9、10、11、12
- ・理由 1、2
- ・引用文献等 1
- ・備考

引用例1において、浅いトレンチ(本願の第2トレンチに相当)内に分離された領域(同ウエル層)が形成されている。

各エピタキシャル層の不純物濃度は、必要に応じて適宜選定しうるものである

- ・請求項 15、16、17、18
- ・理由 2
- ・引用文献等 1、2

・備考

引用例1に記載の半導体層を積層する工程を、引用例2に適用することは容易である。各エピタキシャル層の不純物濃度等は、必要に応じて適宜選定しうるものである。

この拒絶理由通知書中で指摘した請求項以外の請求項に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

引 用 文 献 等 一 覧

- 1) 特開昭58-164258号公報
- 2) 特開平03-082138号公報

先行技術文献調査結果の記録

・調査した分野 I P C 第 7 版 H 0 1 L 2 9 / 7 8

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

THIS PAGE BLANK (USPTO)

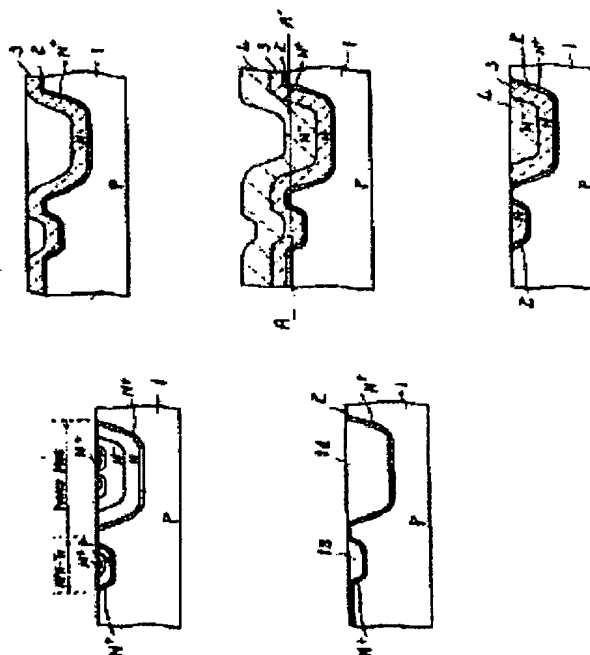
MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent number: JP58164258
Publication date: 1983-09-29
Inventor: YASUDA SEIJI; others: 02
Applicant: TOKYO SHIBAURA DENKI KK
Classification:
- international: H01L27/08; H01L29/72
- european:
Application number: JP19820046269 19820325
Priority number(s):

Abstract of JP58164258

PURPOSE: To respectively provide high and low dielectric strength elements in deep and shallow recesses by superposing N^{+} type, N type and N^{-} type layers in the recesses of a P type Si substrate to bury to the main surface of the deep recess, and flatly polishing the surface.

CONSTITUTION: Recesses 1s, 1d are formed on a P type Si substrate 1, and the recess 1d is formed deeply. N^{+} type layer 2, N type layer 3 and N^{-} type layer 4 are sequentially epitaxially formed. Then, the substrate is cut to the main surface level (AA' line), thereby forming an N type shallow island and N^{-} type deep island. A bipolar transistor and other low dielectric strength element are formed in the shallow island, a high dielectric strength vertical power MOSFET is formed on the deep island, the elements are wired between them, and a protective film is formed. According to his configuration, the high and low dielectric strength elements can be readily formed as desired dimensions on one substrate.



THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58-164258

⑬ Int. Cl.³
H 01 L 27/08
29/72

識別記号

庁内整理番号
7925-5F
7514-5F

⑭ 公開 昭和58年(1983) 9月29日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮ 半導体装置の製造方法

浦電気株式会社トランジスタ工
場内

⑯ 特 願 昭57-46269

⑰ 発 明 者 開俊一

⑱ 出 願 昭57(1982) 3月25日

川崎市幸区小向東芝町 1 東京芝

⑲ 発 明 者 安田聖治

浦電気株式会社トランジスタ工

川崎市幸区小向東芝町 1 東京芝

場内

浦電気株式会社トランジスタ工

⑳ 出 願 人 東京芝浦電気株式会社

場内

川崎市幸区堀川町72番地

㉑ 発 明 者 米沢敏夫

㉒ 代 理 人 弁理士 井上一男

川崎市幸区小向東芝町 1 東京芝

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1 導電型の半導体基板内にこの基板と反対導電型になる高耐圧素子形成領域および低圧素子形成領域とを形成しこれらの各領域に夫々の素子を形成する半導体装置の製造にあたり、半導体基板の主面の低圧素子形成予定域と高耐圧素子形成予定域とを凹に穿つとともにこの凹部を前者に比し後者を深く穿設したのち、半導体基板と逆導電型で比較的低濃度の第1エピタキシャル層を前記低圧素子形成予定域の凹部深さよりは厚く高耐圧素子形成予定域の凹部深さよりも薄く被着し、ついで少くとも前記高耐圧素子形成部の凹部を半導体基板の主面位まで埋める層厚で前記第1エピタキシャル層よりも低濃度の第2エピタキシャル層を前記第1エピタキシャル層に積層させて被着したのち、半導体基板の主面位までラッピングを施して平坦になし、各素子形成領域に夫々の素子形成を

行なうことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は半導体装置の製造方法にかかり、特に高耐圧素子と低圧素子とを含む半導体装置の製造方法の改良に関する。

〔発明の技術的背景〕

この発明にかかる半導体装置に出力用の高耐圧縦型 MOS FET に他の低電圧素子とともに回路を形成する集積回路装置がある。高耐圧スイッチング用デバイス、電力用デバイスとして縦型 MOS FET がバイポーラ型のパワートランジスタに比してスイッチング速度が速いこと、二次降状を生じないこと、入力インピーダンスが高いことなどの特徴があつて多用されつつある。このため、縦型パワー MOS FET を出力段とした集積回路は従来のバイポーラトランジスタで構成した回路よりも高性能が期待される。出力段以外の回路は通常のバイポーラトランジスタを主体とした回路とする。

〔背景技術の問題点〕

図上の集積回路において、MOS FETをローチャネル、バイポーラトランジスタをNPN型に構成する場合において、MOS FET部の高耐圧化をはかるための基板部の高抵抗化と厚層化をはかればよいが、高抵抗で厚いエピタキシャル層を形成することは技術的にかなり困難である上に素子の特性、特に導通時の抵抗(バイポーラトランジスタの場合にはコレクタ・エミッタ間飽和電圧($V_{ce(sat)}$))が悪くなり好ましくないなどの問題点がある。

〔発明の目的〕

この発明は図上の半導体装置に対する改良された製造方法を提供するものである。

〔発明の概要〕

この発明にかかる半導体装置の製造方法の概要は半導体基板の高耐圧素子形成予定域と低圧素子形成予定域とに前者が深い凹部を夫々に形成し、基板と反対導電型で比較的低濃度の第1エピタキシャル層を後者の凹部を埋め基板の主面位に達する層厚に被着し、ついで、さらに低濃度の第2エ

が例えば15 μm の浅い凹部である。次にこの基板上に順次濃度の異なる3層のN型エピタキシャル層を形成する。第1のエピタキシャル層(2)はドーピング濃度 $1 \times 10^{15} \text{cm}^{-3}$ 程度、層厚5 μm 程度で第3図に示すようになり、のちにNPNトランジスタ部のコレクタ、FET部のドレイン電流のとり出しに用いられる。次に、第2のエピタキシャル層(3)は例えばドーピング濃度 $1 \times 10^{14} \text{cm}^{-3}$ 程度、層厚15 μm 程度で第4図に示すようになり、低耐圧素子を形成する領域として用いられる。なお、この第2のエピタキシャル層は特許請求の範囲の第1エピタキシャル層に相当する。そして、前記浅い凹部(1a)に対しては基板の主面位まで充填される。さらに、第3のエピタキシャル層(4)は第5図に示すように例えばドーピング濃度 $1 \times 10^{14} \text{cm}^{-3}$ 程度、層厚35~40 μm 程度で深い凹部(1d)を充填するN⁻層である。この第3のエピタキシャル層は特許請求の範囲の第2エピタキシャル層に相当する。この状態でエピタキシャル層の形成を終つたのち、エピタキシャル層の表面は基板の凹凸に

びタキシャル層を被層させて被着しかつ前者の凹部を基板の主面位まで埋めたのち、基板の主面を平坦にラッピングを施し、各エピタキシャル層に夫々の素子を形成することを特徴とする。

〔発明の実施例〕

この発明の方法によつて形成される半導体素子の要部を第1図に示す。図において、(1)はP型の半導体基板(以降基板と略称する)で、この基板の一部のN型のエピタキシャル層にNPNトランジスタが形成され、前記N型のエピタキシャル層内にさらに低濃度のN⁻のエピタキシャル層にパワーMOS FETが形成されている。

次に上記構造の半導体素子の製造方法の1実施例につき第2図ないし第7図によつて説明する。一例として比抵抗100 Ωcm 程度のP型基板(1)の1主面にその素子形成予定域と化学的エッチングにより凹部(1d)(1a)を形成する(第2図)。前記凹部(1d)はパワーMOS FET部を形成するための深さが例えば50 μm の深い凹部、また凹部(1a)はバイポーラ・トランジスタ部を形成するための深さ

じて凹凸になつている。これにラッピングを施して、基板の主面位(AA'線)まで削つて平坦な面とする(第6図)。この状態ではP型の基板の表面にN型の浅い島と、N⁻型の深い島とが形成されており、浅い島にバイポーラ・トランジスタをはじめとする低耐圧素子を、深い島に高耐圧の縦型パワーMOS FETを形成し(第7図)、最後に必要な素子相互間の配線、パッシベーション膜の形成等を行なう。

なお、第1のエピタキシャル(N⁺)層(2)は必ずしもエピタキシャル形成でなくとも、例えば前記凹部をエッチング形成したのち高濃度N⁺を拡散して形成してもよい。

〔発明の効果〕

この発明の方法によれば半導体素子を所望のダイメンジョンに形成することがきわめて容易に達成できるという顕著な利点がある。このため、半導体装置の低耐圧素子は通常の30~50 Vの耐圧を有し、エピタキシャル層も $1 \times 10^{14} \text{cm}^{-3}$ 程度の濃度のものが使用できるので、コレクタ直列抵抗

を増大させることなく形成できる。一方高耐圧パワーMOS FETは100~150Vの耐圧を余裕をもつて維持できる上にオン抵抗も比較的 low であることもできる。

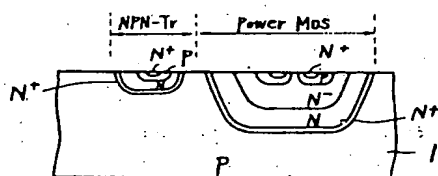
4. 図面の簡単な説明

第1図はこの発明にかかる半導体装置の断面図、第2図ないし第7図はこの発明の1実施例の半導体装置の製造方法を工程順に示すいずれも断面図である。

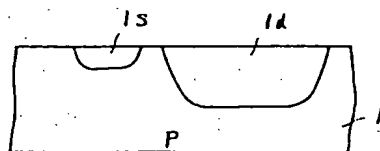
- | | |
|----|---|
| 1 | 半導体基板 (P型) |
| 1d | 深い凹部 |
| 1s | 浅い凹部 |
| 2 | 第1のエピタキシャル (N^+) 層または拡散層 |
| 3 | 第2のエピタキシャル層 (N^-) 層
(第1エピタキシャル層) |
| 4 | 第3のエピタキシャル (N^-) 層
(第2エピタキシャル層) |

代理人 弁理士 井 上 一 男

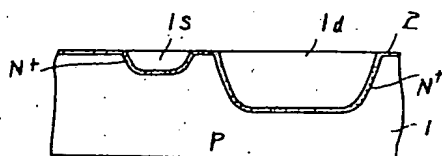
第 1 図



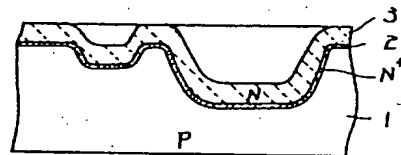
第 2 図



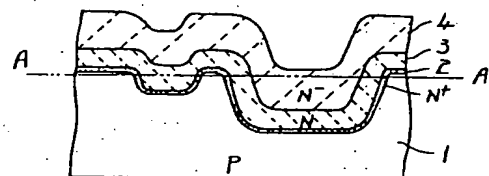
第 3 図



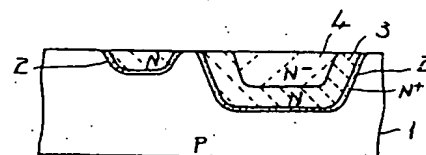
第 4 図



第 5 図



第 6 図



第 7 図

